

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-023100

(43)Date of publication of application : 23.01.1996

(51)Int.Cl.

H01L 29/786

(21)Application number : 06-180950

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD

(22)Date of filing : 07.07.1994

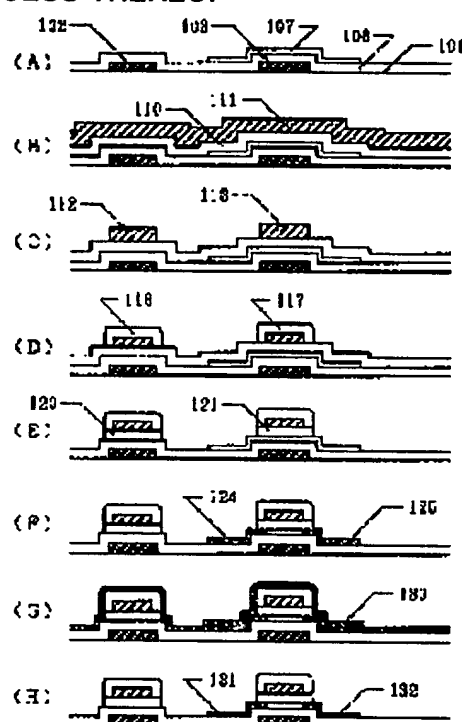
(72)Inventor : YAMAZAKI SHUNPEI  
TAKEMURA YASUHIKO

## (54) SEMICONDUCTOR DEVICE AND PRODUCTION PROCESS THEREOF

(57)Abstract:

PURPOSE: To reduce the sheet resistance by covering a source/drain or silicidizing a part thereof to form a silicide region.

CONSTITUTION: First gate electrodes 102 and 103 are formed on the insulated surface 101 of a substrate. A silicon nitride film 106 is deposited on the entire surface to form an amorphous Si film and etched to form island-like regions 107 and 108. Another silicon nitride film 110 is deposited and laser beam is irradiated on a peripheral circuit part to crystallize the island-like Si film. An Al film 111 is formed and etched to form second gate electrodes 112 and 113. In an electrolytic soln. a current is applied to the gate electrodes to form anode oxides 116 and 117 on the top and side faces of the electrodes 112 and 113. The film 110 is etched with leaving the insulation films 120 and 121. The Si layer 107 and gate electrode part are masked and impurity is injected to form n-type impurity regions 124 and 125. A Ti film 130 is formed on the entire surface and annealed to form silicide regions 131 and 132.



## LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection] 13.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3253808

[Date of registration] 22.11.2001

[Number of appeal against examiner's decision of rejection] 2001-05665

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-23100

(43)公開日 平成8年(1996)1月23日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 G

審査請求 未請求 請求項の数11 F D (全 12 頁)

(21)出願番号 特願平6-180950

(22)出願日 平成6年(1994)7月7日

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦

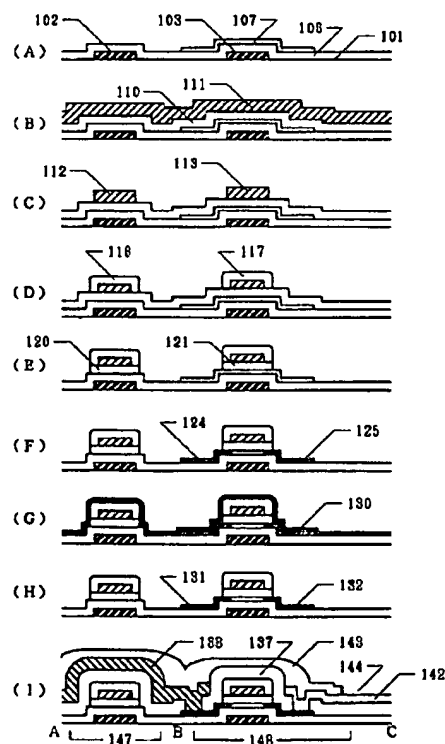
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体装置およびその作製方法

(57)【要約】

【目的】 特性の優れた薄膜トランジスタ(TFT)およびTFTを有する半導体集積回路を提供する。

【構成】 アモルファス状態もしくは結晶性の半導体活性層の上方および下方にゲイト電極を配置した構造のTFT。TFTのソース/ドレインは、上方のゲイト電極をマスクとして不純物を注入し、さらに、シリサイド領域を設けることにより、ソース/ドレインのシート抵抗を低減せしめる。



1

2

## 【 特許請求の範囲】

【 請求項1 】 絶縁表面上に形成された薄膜トランジスタにおいて、

第1 のゲイト電極と、

その表面が陽極酸化物で被覆された第2 のゲイト電極と、

第1 および第2 のゲイト電極の間に存在する実質的に真性のチャネル形成領域と、

前記チャネル形成領域に隣接した1 対のN型もしくはP型の不純物領域と、

前記不純物領域の外側に設けられた1 対のシリサイド領域とを有することを特徴とする半導体装置。

【 請求項2 】 絶縁表面上に形成され、

第1 の配線と、

第1 の配線に接してその上に設けられた第1 の絶縁膜と、

その表面が陽極酸化物で被覆された第2 の配線と、

第2 の配線に接してその下に設けられた第2 の絶縁膜と、

第1 および第2 の配線上に形成された第3 の配線と、を有し、

第3 の配線は、第1 の絶縁膜と第2 の絶縁膜にはさまれた半導体薄膜に接続しており、かつ、第1 の配線と第2 の配線は、第1 の絶縁膜および第2 の絶縁膜に設けられたコンタクトホールを介して接続していることを特徴とする半導体集積回路。

【 請求項3 】 絶縁表面上に形成され、上方および下方の2 つのゲイト電極を有する薄膜トランジスタを複数有する半導体集積回路において、

薄膜トランジスタの下方のゲイト電極と同じ層内にある第1 の配線と、

薄膜トランジスタの上方のゲイト電極と同じ層内にあり、その側面および上面が陽極酸化物被膜によって被覆された第2 の配線と、

薄膜トランジスタのソースもしくはドレイン配線と同じ層内にある第3 の配線と、を有し、

第1 の配線とその上の第2 の配線は常に同じ電位であることを特徴とする半導体集積回路。

【 請求項4 】 請求項2 もしくは3 において、第3 の配線は第2 の配線と交差しないことを特徴とする半導体集積回路。

【 請求項5 】 請求項2 において、第3 の配線が第1 の配線と交差する箇所では、第1 の配線と第3 の配線の間には第1 の絶縁膜のみが存在することを特徴とする半導体集積回路。

【 請求項6 】 その上に第1 の絶縁膜の形成された第1 のゲイト配線と、

第1 のゲイト配線の上に設けられ、その側面および上面が陽極酸化物被膜で被覆され、また、その下には実質的に同じ形状の第2 の絶縁膜を有し、第1 のゲイト配線に

平行に存在する第2 のゲイト配線と、

第1 のゲイト配線に交差するように、第1 のゲイト配線の上に形成された第3 の配線と、

第3 のゲイト配線の両側に少なくとも2 か所設けられた

第1 のゲイト配線と第2 のゲイト配線のコンタクトと、

を有し、第3 の配線の下には第2 のゲイト配線が存在しないことを特徴とする半導体集積回路。

【 請求項7 】 絶縁表面上に第1 のゲイト配線を形成する第1 の工程と、

10 前記第1 のゲイト配線を覆って、第1 の絶縁膜を形成する第2 の工程と、

前記第1 の絶縁膜上に島状の半導体層を形成する第3 の工程と、

前記半導体層上に第2 の絶縁膜を形成する第4 の工程と、

前記第2 の絶縁膜上に第2 のゲイト配線を形成する第5 の工程と、

前記第2 のゲイト配線に電解溶液中で電流を印加することによって、該ゲイト配線の側面および上面に陽極酸化物層を形成する第6 の工程と前記第2 のゲイト配線およびその側面の陽極酸化物層をマスクとして、前記半導体層に自己整合的にN型もしくはP型の不純物を注入する第7 の工程と、

前記半導体層に接続する第3 の配線を形成する第8 の工程とを有することを特徴とする半導体装置の作製方法。

【 請求項8 】 請求項7 において、第4 の工程と第5 の工程の間に、第1 および第2 の絶縁膜をエッチングして、第1 のゲイト配線に達するコンタクトホールを形成する工程を有することを特徴とする半導体装置の作製方法。

【 請求項9 】 請求項7 において、第4 の工程と第5 の工程の間に、第1 および第2 の絶縁膜をエッチングして、第1 のゲイト配線に達するコンタクトホールを形成する工程を有することを特徴とする半導体装置の作製方法。

【 請求項1 0 】 請求項7 において、第6 の工程と第8 の工程の間に、第2 のゲイト配線およびその側面の陽極酸化物層をマスクとして、第2 の絶縁膜をエッチングする工程を有することを特徴とする半導体装置の作製方法。

【 請求項1 1 】 請求項7 において、第7 の工程と第8 の工程の間に、前記半導体層の一部をシリサイド化する工程を有することを特徴とする半導体装置の作製方法。

【 発明の詳細な説明】

【 0 0 0 1 】

【 産業上の利用分野】 本発明は、ガラス等の絶縁材料、あるいは珪素ウェハー上に酸化珪素等の絶縁被膜を形成した材料等の絶縁表面上に形成される絶縁ゲイト型トランジスタ(TFT)およびその作製方法、さらには、このようなTFTを複数形成した集積回路等の半導体装置

3

に関する。本発明におけるTFTは非晶質半導体もしくは多結晶等の結晶性半導体を活性層とすることを特徴とする。本発明は、特にガラス転移点( 歪み温度、歪み点とも言う ) が7 5 0 °C以下のガラス基板上に形成されるTFTに効果的であるが、その他の高融点ガラス基板や単結晶半導体ウェハーに形成された絶縁膜上に設けた場合にも利用できる。本発明による半導体装置は、液晶ディスプレイ等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはいくつもの集積回路層を設けた3次元集積回路に使用される。

**【 0 0 0 2 】**

【 従来の技術】 従来より、アクティブマトリクス型の液晶表示装置やイメージセンサー等の駆動の目的で、TFT( 薄膜トランジスタ ) を形成することが広く知られている。これらのTFTにおいては、CVD( 化学的気相成長法 ) やスパッタリング法等の気相成長法によって堆積した膜状の半導体をそのまま、あるいは熱アニール、レーザーアニール等のアニール処理を施して用いている。このようにして得られた半導体は多くの場合、非晶質状態あるいは多結晶状態である。

**【 0 0 0 3 】**

【 発明が解決しようとする課題】 最近になって、大容量のマトリクス等のようにゲイト配線の長い装置が作製されるようになると、ゲイト配線の抵抗のため、信号遅延やパルスのゆがみ等が問題となるようになった。また、活性層( チャネル形成領域 ) に用いられる半導体は、通常、非単結晶状態であるため、ゲイト電極の設けられていない部分( 例えば、トップゲイト型においては下側、ボトムゲイト型においては上側 ) に非意図的にチャネルが形成されてしまい、リーク電流が生じることが問題となった。さらに、特に非晶質半導体を用いる場合には、ソース/ドレインのシート抵抗が高いことも無視できなくなっていた。本発明はこれらの問題の1つもしくは複数を解決することを課題とする。

**【 0 0 0 4 】**

【 課題を解決するための手段】 本発明のTFTは、半導体活性層の上下に第1( 下方 ) および第2( 上方 ) のゲイト電極、および、第1のゲイト電極と半導体層の間、および、第2の活性層と半導体層の間に、それぞれ、第1の絶縁膜と第2の絶縁膜( これらはゲイト絶縁膜として機能する ) が設けられ、かつ、第2のゲイト電極は、陽極酸化処理によって、その上面および側面に該ゲイト電極を構成する材料の陽極酸化被膜が形成されていることを特徴とする。

【 0 0 0 5 】 このため、第2のゲイト電極は陽極酸化可能な材料、例えば、アルミニウム、チタン、タンタルを主成分とする金属によって構成することが必要である。これらの金属は合金であってもよい。また、以下の文章では、特に断らない限り、例えば、アルミニウムといえ

4

加物を含有するものも含むものとする。チタンやその他の金属についても同様である。

【 0 0 0 6 】 本発明において、第1のゲイト電極は第2のゲイト電極と常に同じ電位に保たれる。そのためには、第1のゲイト電極は第2のゲイト電極と電気的に接続すべく、コンタクトを持つことが必要であり、第1の絶縁膜と第2の絶縁膜をエッチングすることによって第1のゲイト電極から延在する配線( 第1のゲイト配線 ) にコンタクトホールが形成されることが特徴でもある。さらに、第1のゲイト配線と第2のゲイト配線は実質的に重なって形成されることも特徴である。ただし、部分的には第1のゲイト配線上に第2のゲイト配線が存在しない場合や、その逆の場合もあり得る。特に、第1のゲイト配線と第2のゲイト配線が重なって存在する場合には段差が大きくなるので、より上層の配線と交差する場所においては、段差を低減する目的で、いずれか一方のみの配線と交差するように設計すると、交差部での断線を防止する上で効果的である。

【 0 0 0 7 】 さらに、第2のゲイト電極およびその側面の陽極酸化物をマスクとして自己整合的に形成されたソース/ドレインを有することも特徴とする。ソース/ドレインを形成するにはイオンドーピング等の加速した不純物イオンを照射する方法や熱拡散、レーザー拡散等の方法を用いて、実施される。加えて、本発明のTFTにおいてはソース/ドレインを覆って、あるいはその一部をシリサイド化することにより、シリサイド領域を設けることも特徴とする。特に、非晶質半導体を用いたTFTにおいては、ソース/ドレインも非晶質もしくはそれと同等な材料によって構成されるため、シート抵抗が1 0 k  $\Omega$ /□以上と極めて高かった。しかしながら、この領域にシリサイドを設けることによって、実質的なシート抵抗を1 0 0 0  $\Omega$ /□以下、より好ましい条件では、1 0 0  $\Omega$ /□以下とすることができる。

【 0 0 0 8 】 本発明において、第2のゲイト電極が陽極酸化被膜で被覆されていることは、このシリサイド化の工程において重要である。すなわち、シリサイド化は以下のおこなわれる。まず、陽極酸化被膜で被覆された第2のゲイト電極をマスクとして、第2の絶縁膜をエッチングすることによって、半導体活性層を露出せしめる。その後、シリサイドを形成するための金属被膜を成膜する。半導体としてシリコンを用いる場合には、シリサイドを形成するための金属材料は、そのシリサイドが、N型あるいはP型のシリコンに対してオーミックもしくはオーミックに近い低抵抗なコンタクトを形成できるような材料であることが望まれる。例えば、モリブデン( Mo )、タングステン( W )、プラチナ( Pt )、クロム( Cr )、チタン( Ti )、コバルト( Co )等が適当である。この段階では、半導体活性層の露出された部分と上記金属被膜は密着した状態にある。

【 0 0 0 9 】 その後、熱アニール、あるいは、レーザー

5

もしくはそれと同等な強光を照射することにより、半導体活性層のうち金属被膜と密着した部分をシリサイド化させる。一方、半導体層以外の陽極酸化物上や絶縁膜上にも金属被膜が形成されているが、このような場所に形成された金属被膜はこれらの材料とは反応しない。最後に、未反応の金属被膜を除去する。以上の工程において、もし、第2のゲイト電極が陽極酸化物によって被覆されていなければ、シリサイド化のために成膜された金属被膜がゲイト電極材料と反応してしまい、また、金属被膜を除去する工程でゲイト電極をもエッチングしてしま

10 可能性が高く、好ましくない。このように、陽極酸化物は金属被膜とゲイト電極が反応することを防止し、また、エッチングストッパーとして機能する。  
【0010】また、陽極酸化物は、ソース/ドレイン上のシリサイドとゲイト電極が短絡することを防止する役割も果たす。すなわち、シリサイドはソース/ドレインの実質的に全面に設けられるので、結果的にゲイト電極に近接することとなる。ソース/ドレインとゲイト電極はゲイト絶縁膜によって隔てられているが、シリサイドはプロセス上、一度、ソース/ドレイン上のゲイト絶縁膜を除去した後に形成されるので、シリサイドがゲイト電極と接触する可能性が著しく大きい。しかしながら、ゲイト電極の側面に陽極酸化物が存在すれば、シリサイドとゲイト電極の接触を防止することが可能であり、しかも、陽極酸化物は非常に緻密で絶縁性の良好なものを得ることができるので、短絡の確率は著しく低減できる。

【0011】本発明のTFTあるいは集積回路を得るための典型的な工程は以下のようなものである。第1に絶縁表面上に第1のゲイト配線を形成する。第1のゲイト配線の材料としては、シリコンやモリブテン、タングステン等の耐熱性のある材料が望ましいが、その他の材料であってよい。また、その表面を陽極酸化物によって被覆してもよい。

【0012】第2に前記第1のゲイト配線を覆って、第1の絶縁膜を形成する。この絶縁膜は第1のゲイト電極に対してゲイト絶縁膜として機能する。半導体としてシリコンを用いる場合には、例えば、窒化珪素や酸化珪素、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )等を用いればよい。また、単層でも多層でもよい。第3に前記第1の絶縁膜上に島状の半導体層を形成する。半導体層は非晶質でも結晶性でもよい。また、基板上の特定の部分のみを結晶性半導体とし、その他の部分を非晶質半導体とすることも、レーザーアニール等の局所的なアニール手段を用いれば実施できる。

【0013】第4に前記半導体層上に第2の絶縁膜を形成する。この絶縁膜は第2のゲイト電極に対してゲイト絶縁膜として機能する。半導体としてシリコンを用いる場合には、例えば、窒化珪素や酸化珪素、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )等を用いればよい。また、単層でも多

6

層でもよい。第5に第1および第2の絶縁膜をエッチングして第1のゲイト配線に対してコンタクトホールを形成する。コンタクトホールの頻度は集積回路の種類によって異なるが、1つのTFTに対して1~2個の比率で構成することが望ましい。

【0014】第6に前記第2の絶縁膜上および前記コンタクトホールを覆って、第2のゲイト配線を形成する。第2のゲイト配線は第1のゲイト配線と実質的に平行であり、また、好ましくは同じ形状を有する。また、後の第3の配線と交差する部分においては段差を緩和するために、第2の配線を設けない場合もある。第7に前記第2のゲイト配線に電解溶液中で電流を印加することによって、該ゲイト配線の側面および上面に陽極酸化物層を形成する。この工程で形成される陽極酸化物の少なくとも1種類は、いわゆるバリヤ型の陽極酸化物であることが好ましい。バリヤ型の陽極酸化物とは、実質的に中性の電解溶液中の陽極酸化によって得られるもので、陽極酸化物の成長とともに、印加する電圧が増加することを特徴とする。バリヤ型の陽極酸化物は耐圧が高く、緻密な膜質である。

【0015】第8に前記第2のゲイト配線およびその側面の陽極酸化物層をマスクとして、前記半導体層に自己整合的にN型もしくはP型の不純物を導入する。不純物導入に先立って、第2の絶縁膜をエッチングすることによって、半導体層を露出させておいてもよいし、イオンドーピング等の手段であれば、第2の絶縁膜を通して、不純物を注入することも可能である。イオンドーピング等を利用した場合には熱アニールあるいはレーザーアニール等のアニールによって、不純物の活性化をおこなうことが必要である。不純物注入の前あるいは後に上述のシリサイド化をおこなってもよい。第9に前記半導体層に形成されたソース/ドレインの少なくとも一方、あるいはシリサイドに接続する第3の配線を形成する。

【0016】

【作用】本発明においては、ゲイト配線を2層とすることができる。このため、ゲイト配線が単層である場合に比較して、ゲイト配線全体の抵抗を低減せしめることが可能である。すなわち、従来においては、ゲイト配線が単層であったがために、ゲイト配線の抵抗を低減させるためには、ゲイト配線の厚みを増すことが要求された。例えば、従来の通常のゲイト配線の厚みは3000~5000Åであったが、大容量のマトリクスでは、ゲイト配線の低抵抗化が必要であり、その倍の厚みすることが必要とされた。

【0017】しかしながら、単層のゲイト配線の厚みを増すと段差が拡大し、その上に形成される絶縁膜がゲイト電極・配線を十分に被覆することに困難があった。特に、絶縁膜が基板温度420℃未満のCVD法、例えば、プラズマCVD法によって形成される場合には、段差が5000Åを境に急速に被覆性が悪化し、層間のシ

ョート等の原因となった。本発明においては、ゲイト配線は上下合わせた厚さは十分に厚くなるが、それぞれのゲイト配線に対する絶縁膜の被覆性が十分良好な状態であるので、上記のような問題は生じない。

【 0 0 1 8 】さらに、従来においては、ゲイト配線に1か所にも断線があると、その行は線欠陥となり、その行の全ての素子が無駄になってしまったが、本発明においては上下2層のゲイト配線が適当な間隔でコンタクトを形成して、延びているので、ゲイト配線の断線による歩留りの低下は全くなかった。また、本発明では活性層の上下にゲイト電極が存在するため、ゲイト電極の反対側の活性層における非意図的なチャネルが形成されることがなく、リーク電流の低減が達成される。この点に関して、特に本発明は半導体活性層の結晶性が上側と下側で異なる場合には好ましいものであった。結晶性シリコン半導体の場合には、一般に、結晶は下方から成長することが知られており、下側の結晶シリコンと絶縁膜の界面特性の方が上側の結晶シリコンと絶縁膜のものに比較して優れている。したがって、このような場合に下方にゲイト電極が存在することは好ましいことである。

【 0 0 1 9 】さらに、本発明において、ソース／ドレインに隣接してシリサイド領域を設けた場合にはシート抵抗を低減せしめる上で効果があった。本発明は特に外部から光の照射されるデバイス、例えば、液晶ディスプレイやイメージセンサー等の装置においてはTFTに光が照射されることがある。その場合、ゲイト電極の方向から活性層の方向に向けて照射された光に関しては、ゲイト電極が影となって特性に影響を及ぼすことは少ないが、ゲイト電極の存在しない方から照射された光に対してはフォト電流が発生し、TFTの特性が著しく低下するという問題があった。しかも、一般に光は一方向からのみ侵入するわけではなく、散乱等による微量な光までも制御することは不可能であった。この問題に対しては、ゲイト電極の反対側に遮光膜を形成するという方法が一般的であるが、本発明では活性層の上下にゲイト電極が存在し、これが遮光膜となって活性層に侵入する光を抑制することができるという効果を有する。

【 0 0 2 0 】本発明においては、第1のゲイト絶縁膜の膜厚と誘電率、第2のゲイト絶縁膜の膜厚と誘電率を加減することにより、そのTFTの支配的なゲイト電極が第1のゲイト電極と第2のゲイト電極のいずれかとすることも可能である。すなわち、第1のゲイト絶縁膜と第2のゲイト絶縁膜を同じ材質の絶縁体で形成し、かつ、第1の絶縁膜を第2のゲイト絶縁膜よりも薄くすると、第1のゲイト電極が中心となってTFTが動作する。逆の場合には第2のゲイト電極が支配的となる。第1のゲイト電極と第2のゲイト電極のいずれを支配的とするかは、活性層と第1の絶縁膜の界面と活性層と第2の絶縁膜の界面のいずれがより好ましいものであるかを考慮して選択すればよい。

【 0 0 2 1 】本発明を利用した集積回路にはいくつかのバリエーションが考えられる。集積回路として、アクティブマトリクス回路とその駆動をおこなうための周辺論理回路という大きく分けて1種類の回路を有するモノリシック型アクティブマトリクス回路(周辺回路一体型アクティブマトリクス回路)を考えると、第1に、周辺回路にはトップゲイト型TFTを、アクティブマトリクス回路には本発明のTFTを用いた構造がある。この場合では、マトリクス回路のTFTのリーク電流が低減でき、また、周辺回路ではソース／ドレインを自己整合的に形成できるので、寄生容量が低減されるという特色を有する。第2は、周辺回路は結晶性半導体によって、また、アクティブマトリクス回路は非晶質半導体によって構成する場合である。一般に、結晶性半導体を用いたTFTは動作速度が早く、非晶質半導体を用いたTFTではリーク電流が少ないという特色を有し、それぞれ、周辺回路、アクティブマトリクス回路に適している。

【 0 0 2 2 】

【 実施例】

〔 実施例1 〕 図1、図2および図4に本実施例を示す。本実施例は、モノリシック型アクティブマトリクス回路の作製工程および構造について説明したものである。モノリシック型アクティブマトリクス回路とは、図6に示すようなブロック構成を有するもので1枚の基板601上にアクティブマトリクス回路領域604と、それを取り囲むようにデータドライバー回路602、604、スキンドライバー回路603が設けられているものである。データドライバー回路およびスキンドライバー回路の数については、図6に示したものの以外にさまざまなバリエーションが可能である。データドライバー回路、スキンドライバー回路その他の補助的な駆動回路を総称して、周辺回路という。周辺回路ではPチャネル型TFTとNチャネル型TFTを用いて相補MOS回路が構成されるため、図2では相補MOS回路によるインバータ回路の作製工程を示した。

【 0 0 2 3 】図1はアクティブマトリクス回路部分の、また、図2は周辺回路部分の典型的な部分の断面図であり、図1と図2における工程順を示す(A)、(B)、(C)、...はそれぞれ対応し、また、図1、図2および図4における符号番号が同じ場合は同じものを指し示す。図4(A)は完成したマトリクス回路を上方より見た様子を示し、図1は図4(A)のA-B-Cの断面を示したものである。また、図4(B)は、図4(A)のa-bの断面を示す。図4(C)は本実施例で作製するアクティブマトリクス回路の回路図を示す。以下に図1および図2を用いて、本実施例の作製工程を説明する。

【 0 0 2 4 】まず、厚さ1000 Åの窒化珪素膜(図示せず)を形成した基板(コーニング7059、100 mm×100 mm)の絶縁表面101上に第1のゲイト配

第1電極102、103、104、105を形成した。ゲイト配線・電極は、厚さ3000Åの層をドーピングして抵抗を低減せしめた多結晶シリコン膜をエッチングすることによって形成した。多結晶シリコン膜は減圧CVD法によって形成した。この場合には成膜した状態で多結晶状態であった。多結晶シリコン膜を得るには、上記の方法以外に、プラズマCVD法、減圧CVD法によって真性の非晶質シリコン膜を形成し、これにイオンドーピング法等の手段によって燐等の不純物を導入せしめ、さらに、これを500~600℃で熱アニールしてもよい。また、熱アニールの際にはニッケル等の結晶化を促進せしめる元素を微量添加してもよい。

【0025】本実施例ではシリコンを用いたが、他に珪化金属を用いてもよかった。その後、プラズマCVD法によって厚さ3000~6000Å、例えば、4000Åの窒化珪素膜106を堆積した。これはゲイト絶縁膜としても機能する。そして、厚さ300~1000Å、例えば、500Åの非晶質シリコン膜をプラズマCVD法によって形成した。そして、これをエッチングして、島状の領域107、108、109を形成した。(図1(A)、図2(A))

さらに、プラズマCVD法によって厚さ3000~6000Å、例えば、2000Åの窒化珪素膜110を堆積した。これはゲイト絶縁膜としても機能する。この状態で、周辺回路の部分のみにレーザー光を照射して、島状のシリコン膜を結晶化させた。レーザーはXeClエキシマーレーザー(波長308nm)を用いた。レーザーの照射エネルギー密度、パルス数はシリコン膜の膜質、窒化珪素膜110の膜質によって加減した。

【0026】その後、図には示していないが、窒化珪素膜110と106をエッチングして第1のゲイト配線に到達するコンタクトホールを形成した。このコンタクトホールは、第1のゲイト配線とその上に形成される第2のゲイト配線の間のコンタクトを形成するためのもので、図4(A)および同図(B)のコンタクト145に相当するものである。コンタクトホールを形成した後、スパッタ法によって、厚さ3000~8000Å、例えば、5000Åのアルミニウム膜111を形成した。アルミニウム膜には0.1~0.5重量%のスカンジウム(Sc)を含有せしめておくと、ヒロックの発生を抑止する上で効果があった。(図1(B)、図2(B))

【0027】次いで、アルミニウム膜をエッチングし、第2のゲイト配線・電極112、113、114、115を形成した。この結果、先に形成されたコンタクトホールを介して、第1のゲイト配線と第2のゲイト配線のコンタクトが形成された。この際には、第2のゲイト配線でコンタクトホールが完全に覆われるように設計することが必要であった。これは、コンタクトホールにおいてシリコンで構成された第1のゲイト配線が露出されていると、後の陽極酸化の工程において、この露出された

部分を通して電流が流れてしまい、陽極酸化反応が進まないためである。(図1(C)、図2(C))

【0028】次に、電解溶液中において、ゲイト電極に電流を印加した。その際、3~10%の酒石酸にアンモニアを添加して、pH=6.8~7.2に調整したエチレングルコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、第2のゲイト配線・電極の上面および側面にバリヤ型の陽極酸化物116、117、118、119が形成された。陽極酸化物の厚さは印加電圧に比例し、印加電圧が150Vで2000Åの陽極酸化物が形成された。陽極酸化物の厚さは1000~3000Åが好ましかった。3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、TFTの特性に悪影響を及ぼすので好ましくなかった。(図1(D)、図2(D))

【0029】その後、ドライエッチング法によって窒化珪素膜110をエッチングした。この際には、陽極酸化物はエッチングされないで、自己整合的に窒化珪素膜110がエッチングされ、ゲイト配線・電極と島状シリコン層の間にはゲイト絶縁膜120、121、122、123が残された。(図1(E)、図2(E))

【0030】次に、イオンドーピング法によって、島状シリコン層107、108、109に、ゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的にN型およびP型の不純物を注入し、N型不純物領域(ソース/ドレイン領域)124、125、126、127、P型不純物領域128、129を形成した。ドーピングガスとしては、N型不純物のドーピングにはフォスフィン( $\text{PH}_3$ )を、P型不純物のドーピングにはジボラン( $\text{B}_2\text{H}_6$ )を、それぞれドーピングガスとして用いた。ドーズ量は $5 \times 10^{14} \sim 5 \times 10^{15}$ 原子/ $\text{cm}^2$ 、加速エネルギーは10~30keVとした。その後、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図1(F)、図2(F))

【0031】その後、全面に適当な金属、例えば、厚さ50~500Åのチタン膜130をスパッタ法によって形成した。(図1(G)、図2(G))

そして、450~550℃、例えば、500℃で10~60分、熱アニールすることによって、チタンとシリコンを反応させ、シリサイド(珪化チタン)領域131、132、133、134、135、136を形成した。この熱アニールの間にドーピングされた不純物のさらなる活性化もおこなわれた。熱アニールによるシリサイド化の代わりに、レーザー光の照射や、可視光線もしくは近赤外光の照射によるランバアニールによるものでもよい。

【0032】この後、過酸化水素とアンモニアと水とを

11

5 : 2 : 2 で混合したエッチング液でTi 膜をエッチングした。露出した活性層と接触した部分以外のチタン膜 ( 例えば、窒化珪素膜106 や陽極酸化膜上に存在したチタン膜 ) はそのまま金属状態で残っているので、このエッチングで除去できる。一方、珪化チタンはエッチングされないので、残存させることができる。( 図1 ( H )、図2 ( H ) )

【 0033 】さらに、全面に第1 の層間絶縁物137 として、CVD法によって酸化珪素膜を厚さ5000 Å形成した。そして、TFTのソース/ドレインにコンタクトホールを形成した。第1 の層間絶縁物形成後、400 °Cで10 ~ 30 分アニールした。その後、アルミニウム配線・電極138、139、140、141 を形成した。さらに、ITO膜によって、画素電極142 も形成した。最後に外部からの水分、可動イオン等がTFTに侵入しないように厚さ2000 ~ 5000 Å、例えば、3000 Åの窒化珪素膜143 をプラズマCVD法によって形成し、画素部分144 を開孔し、ITO膜を露出させた。( 図1 ( I )、図2 ( I ) )

【 0034 】以上によって、アクティブマトリクス回路における配線交差部147、画素に接続するTFT148、周辺回路のNチャネル型TFT149、Pチャネル型TFT150 が完成し、モノリシック型アクティブマトリクス回路が完成された。本実施例による画素の部分に設けられたTFTを上方から見た図を図4 ( A ) に示す。スキンドライバーから延びてきたゲイト線は図では1本の線のように見えるが、実際には、第2のゲイト線112の下には、これと並行に第1のゲイト線102が設けられている。そして、第1のゲイト線と第2のゲイト線は、コンタクト145において、接続されている。本実施例のアクティブマトリクス回路においては、TFT1個につき1か所のコンタクトを設けた。

【 0035 】このため、上下いずれかのゲイト配線に断線があったとしても、その行全体が不良となることはなかった。特に、本実施例では図4 ( A ) に示すように、ゲイト線の分岐する部分にコンタクトを設けたが、それは、コンタクトを形成するためのパッド領域( 配線の幅の太い領域 ) を設けるに際して、当該部分では、特別なスペースを必要とせず、レイアウト上、有利であるためである。図4 ( A ) におけるゲイト線にそったa - b の断面構造を図4 ( B ) に示す。また、図4 ( A ) の回路を複数並べたマトリクスの回路図を図4 ( C ) に示す。図4 ( A ) において、ゲイト線112 ( および102 ) は上の行の画素電極の下に延びる配線146にも別れているが、この配線146は画素電極との間に容量を形成し、回路上は画素電極によって形成される液晶の容量と並列に存在する。

【 0036 】〔実施例2〕 図3 および図5 に本実施例を示す。本実施例はアクティブマトリクス回路の作製工程および構造について説明したものである。本実施例に

12

においてはアクティブマトリクス回路の作製方法に関するものであるが、モノリシック型アクティブマトリクス回路を作製せんとする場合の周辺回路についても同様なプロセスである。図3 はアクティブマトリクス回路の断面図である。図3 および図5 における符号番号は同じものを指し示す。図5 ( A ) は完成したマトリクス回路を上方より見た様子を示し、図2 は図5 ( A ) のA - B - C の断面を示したものである。また、図5 ( B ) は、図5 ( A ) のa - b の断面を示す。図5 ( C ) は本実施例で作製するアクティブマトリクス回路の回路図を示す。以下に図3 を用いて、本実施例の作製工程を説明する。

【 0037 】まず、厚さ1000 Åの窒化珪素膜( 図示せず ) を形成した基板( コーニング7059、100 mm × 100 mm ) の絶縁表面201 上に第1 のゲイト配線・電極202、203 を形成した。ゲイト配線・電極は、厚さ3000 Åのタングステン膜をスパッタ法によって成膜し、これをエッチングすることによって形成した。タングステン以外にモリブデン、チタン等の耐熱性金属であってもよい。

【 0038 】その後、プラズマCVD法によって厚さ3000 ~ 6000 Å、例えば、4000 Åの窒化珪素膜204 を堆積した。これはゲイト絶縁膜としても機能する。そして、厚さ300 ~ 1000 Å、例えば、800 Åの非晶質シリコン膜をプラズマCVD法によって形成した。そして、これにニッケルを微量添加し、500 ~ 580 °C、例えば、550 °Cでアニールすることによって結晶化せしめた。さらに、レーザー光を照射して、シリコン膜の結晶性を改善せしめた。レーザーはXeClエキシマーレーザー( 波長308 nm ) を用いた。レーザーの照射エネルギー密度、パルス数はシリコン膜の膜質によって加減した。そして、これをエッチングして、島状の領域205 を形成した。( 図3 ( A ) )

【 0039 】さらに、プラズマCVD法によって厚さ3000 ~ 6000 Å、例えば、1000 Åの酸化珪素膜206 を堆積した。これはゲイト絶縁膜としても機能する。その後、図には示していないが、窒化珪素膜204 と酸化珪素膜206 をエッチングして第1 のゲイト配線に到達するコンタクトホールを形成した。このコンタクトホールは、図5 ( A ) および同図 ( B ) のコンタクト223、224 に相当するものである。コンタクトホールを形成した後、スパッタ法によって、厚さ3000 ~ 8000 Å、例えば、5000 Åのアルミニウム膜207 を形成した。( 図3 ( B ) )

次いで、アルミニウム膜をエッチングし、第2 のゲイト配線・電極208、221、222 を形成した。本実施例ではその上にドライバから延びるソース線216 が形成される部分( 図3 ( C ) の第1 のゲイト配線202 の部分 ) には第2 のゲイト配線は形成しなかった。( 図3 ( C )、ゲイト配線221、222 に関しては図5 ( A ) 参照 )



13

【0040】この結果、先に形成されたコンタクトホール223、224を介して、第1のゲイト配線と第2のゲイト配線のコンタクトが形成された。本実施例では、上述の通り、ソース線216が存在する部分においては第2のゲイト配線を設けないので、コンタクトホールはソース線をはさんで、2か所設けてあり、すなわち、TFT1個につき、2か所のコンタクトを形成した。(図3(C))

次に、電解溶液中において、ゲイト電極に電流を印加し、実施例1と同様に陽極酸化をおこない、第2のゲイト配線・電極208の上面および側面にバリヤ型の陽極酸化物209が形成された。陽極酸化物の厚さは1500Åとした。(図3(D))

【0041】その後、ウェットエッチング法によって酸化珪素膜206をエッチングした。エッチャントとしては、フッ酸、フッ化アンモニウム、酢酸の混合溶液を用いた。このエッチャントは酸化珪素膜、特にプラズマCVD法によって形成された酸化珪素膜に対してはエッチングレートが大きく、酸化アルミニウム、シリコン、窒化珪素に対しては十分に小さいという特徴を有している。そのため、ほぼ酸化珪素膜206のみをゲイト電極部(すなわちゲイト電極とその周囲の陽極酸化膜)をマスクとして自己整合的に選択的にエッチングすることができた。ゲイト配線・電極と島状シリコン層の間にはゲイト絶縁膜210が残された。(図3(E))

【0042】次に、イオンドーピング法によって、島状シリコン層205に、ゲイト電極部をマスクとして自己整合的にP型の不純物を注入し、ソース/ドレイン211、212を形成した。ドーズ量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>、加速エネルギーは10~30keVとした。例えば、ドーズ量を $2 \times 10^{14}$ 原子/cm<sup>2</sup>、加速電圧を20kVとした。その後、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図3(F))

【0043】その後、全面に厚さ50~500Åのチタン膜213をスパッタ法によって形成した。(図3(G))

そして、450~550℃、例えば、500℃で10~60分、熱アニールすることによって、チタンとシリコンを反応させ、シリサイド(珪化チタン)領域214、215を形成した。その後、過酸化水素とアンモニアと水とを5:2:2で混合したエッチング液で未反応のTi膜をエッチングした。(図3(H))

【0044】その後、ソース線となるアルミニウム配線・電極216を形成した。すなわち、本実施例ではソース線とゲイト線の交差する部分においては、第2のゲイト配線が存在しないので、第1の絶縁膜(厚さ4000Åの窒化珪素)204を層間絶縁物として利用することができ、実施例1の場合に比較して、成膜工程を減らす

14

ことができた。さらに、外部からの水分、可動イオン等がTFTに侵入しないように厚さ2000~5000Å、例えば、3000Åの窒化珪素膜217をプラズマCVD法によって形成した。最後に、ITO膜によって、画素電極218を形成した。(図3(I))

【0045】以上によって、アクティブマトリクス回路における配線交差部226、画素に接続するTFT227が完成した。本実施例による画素の部分に設けられたTFTを上方から見た図を図5(A)に示す。スキャンドライバーから延びてきたゲイト線は第1のゲイト線202と第2のゲイト線221、222の2層構造となっている。ただし、ソース線とゲイト線が交差する部分226においては第2のゲイト線は設けられていない。第1のゲイト線と第2のゲイト線は、コンタクト223、224において、接続されている。本実施例のアクティブマトリクス回路においては、TFT1個につき2か所のコンタクトを設けた。

【0046】本実施例のようにソース線とゲイト線が交差する部分においては第2のゲイト配線を設けないという構成とすると、図3(I)から一目瞭然であるが、光サブでの段差を小さくすることができる。そのため、ソース線の断線の確率が低下し、歩留りの向上に寄与する。図5(A)におけるゲイト線にそったa-bの断面構造を図5(B)に示す。また、図5(A)の回路を複数並べたマトリクスの回路図を図5(C)に示す。図5(A)において、ゲイト線222(および202)は上の行の画素電極の下に延びる配線225に別れ、画素電極との間に容量を形成する。

【0047】〔実施例3〕本実施例を図7に示す。図7(A)はアクティブマトリクス回路のトランジスタを中心とした部分を、図7(B)は周辺回路の部分を示す。本実施例ではアクティブマトリクス回路においては、TFTを本発明の上下のゲイト電極を有する構造としたのに対し、周辺回路においてはトップゲイト型のTFTとしたことを特徴とする。このような構造を得るために、本実施例では、アクティブマトリクス領域にのみ第1のゲイト配線を設けた。以下、図面の説明をする。

【0048】アクティブマトリクス回路領域においては、第1のゲイト電極・配線301、302が形成され、実施例2と同様に第1のゲイト配線301が第3の配線307と交差する部分を除いて、陽極酸化物で被覆された第2のゲイト配線・電極303が設けられた。本実施例では、第1のゲイト絶縁膜(第1のゲイト電極302と活性層の間の絶縁膜)および第2のゲイト絶縁膜(第2のゲイト電極303と活性層の間の絶縁膜)は共に酸化珪素で構成し、前者の厚さを1200Å、後者の厚さを1800Åとした。そのため、アクティブマトリクス回路においては、第1のゲイト電極302の影響が大きかった。TFTのソース/ドレインやシリサイドの構造は他の実施例と同様であった。(図7(A))

15

一方、周辺回路領域においては第1のゲイト電極・配線は設けられず、陽極酸化物で被覆された第2のゲイト配線・電極304、305のみが設けられた。上述のように、第1および第2のゲイト絶縁膜の厚さはそれぞれ異なっていたが、周辺回路においては第1のゲイト電極は存在しないのでその効果は観測できなかった。(図7(B))

【0049】第2のゲイト配線・電極303~305を覆って、第1の層間絶縁物306が厚さ2000Åの窒化珪素膜によって形成された。そして、第1の層間絶縁物306にコンタクトホールが形成された。この際、アクティブマトリクス回路のTFTにおいては、ソース線(第3の配線)307と接続する方のみならず、画素電極312と接続する方にもコンタクトホールが形成された。その後、第3の配線307~310が形成された。この配線材料としてはチタン(厚さ500Å)とアルミニウム(厚さ4000Å)の多層膜を用いた。アルミニウムには1%のシリコンを含有せしめた。(図7(A)、図7(B))

【0050】さらに、第2の層間絶縁物311が厚さ3000Åの酸化珪素によって形成された。そして、アクティブマトリクス回路において、画素電極とTFTとのコンタクトを形成する部分にコンタクトホールが形成された。今回のコンタクトホールは、先に設けられたコンタクトホールの内側に形成された。最後に、画素電極312が設けられた。(図7(B))

以上のようにして、アクティブマトリクス回路のTFT316、配線交差部315、周辺回路のNチャネル型TFT313、Pチャネル型TFT314が完成した。

【0051】〔実施例4〕本実施例を図8に示す。図8(A)はアクティブマトリクス回路のトランジスタを中心とした部分を、図8(B)は周辺回路の部分を示す。本実施例でも実施例3と同様に、周辺回路においてはトップゲイト型のTFTとしたが、周辺回路領域にも第1のゲイト配線を残し、配線交差部は第1の配線と第3の配線を交差させる構造とした。以下、図面の説明をする。アクティブマトリクス回路領域においては、第1のゲイト電極・配線401、402が形成され、実施例2と同様に第1のゲイト配線401が第3の配線407と交差する部分を除いて、陽極酸化物で被覆された第2のゲイト配線・電極404が設けられた。本実施例では、第1のゲイト絶縁膜(第1のゲイト電極402と活性層の間の絶縁膜)を窒化珪素膜で、第2のゲイト絶縁膜(第2のゲイト電極404と活性層の間の絶縁膜)を酸化珪素膜で、それぞれ構成し、前者の厚さを4000Å、後者の厚さを1200Åとした。誘電率を考慮すると、第1のゲイト電極と第2のゲイト電極の寄与はほぼ同じであった。TFTのソース/ドレインやシリサイドの構造は他の実施例と同様であった。(図8(A))

【0052】一方、周辺回路領域においてはTFTの部

16

分においては第1のゲイト電極は設けられなかったが、その他の部分には第1のゲイト配線403を設けた。そして、TFTの部分には陽極酸化物で被覆された第2のゲイト配線・電極405、406が設けられたが、第1の配線と第3の配線409と交差する部分においては第2のゲイト配線は設けられなかった。これは、実施例2と同様に配線の段差を減らすためである。(図8(B))

そして、その上に第3の配線407~410が形成された。このとき、アクティブマトリクス回路および周辺回路において第1のゲイト配線401、403と第3の配線408、409は第1のゲイト配線上に形成された第1のゲイト絶縁膜によって層間分離される。(図8(A)、図8(B))

【0053】その後、層間絶縁物411が厚さ3000Åの窒化珪素によって形成された。そして、アクティブマトリクス回路において、画素電極とTFTとのコンタクトを形成する部分にコンタクトホールが形成され、画素電極412が設けられた。(図8(B))

以上のようにして、アクティブマトリクス回路のTFT414、配線交差部413、周辺回路のNチャネル型TFT415、Pチャネル型TFT416が完成した。

【0054】

【発明の効果】本発明によって得られる効果をまとめると以下ようになる。第1にゲイト配線を2層構造とすることによるゲイト配線の抵抗を低減させることができた。第2にゲイト配線を2層構造とすることによって、ゲイト配線の断線による不良を減らすことができた。第3にソース/ドレインに隣接してシリサイド領域を設けることにより、TFTのシート抵抗を低減せしめることができた。

【0055】本発明のTFTは、半導体集積回路が形成された基板上に3次元集積回路を形成する場合でも、ガラスまたは有機樹脂等の上に形成される場合でも同様に形成されることはいうまでもないが、いずれの場合にも絶縁表面上に形成されることを特徴とする。特に周辺回路を同一基板上に有するモノリシック型アクティブマトリクス回路等の電気光学装置に対する本発明の効果は著しい。以上のように本発明は工業上、有益である。

【図面の簡単な説明】

【図1】 実施例1によるTFTの作製方法を示す。

【図2】 実施例1によるTFTの作製方法を示す。

【図3】 実施例2によるTFTの作製方法を示す。

【図4】 実施例1によって作製したTFT回路の構造を示す。

【図5】 実施例1によって作製したTFT回路の構造を示す。

【図6】 モノリシック型アクティブマトリクス回路のブロック図を示す。

【図7】 実施例3によって作製したTFT回路の構造

17

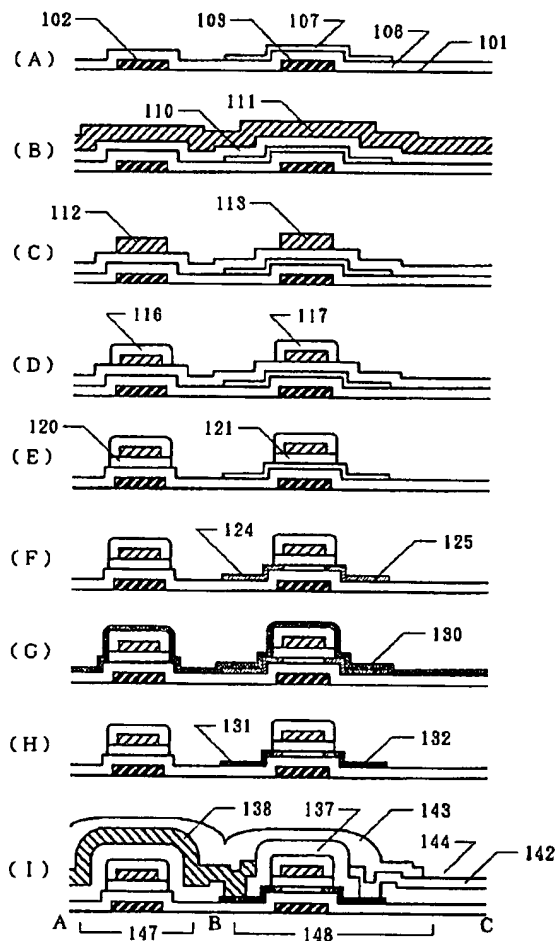
を示す。

【図8】 実施例4 によって作製したTFT回路の構造を示す。

【符号の説明】

- 101 絶縁表面  
 102～105 第1のゲイト配線・電極(多結晶シリコン)  
 106 第1の絶縁膜(窒化珪素)  
 107～109 活性層(シリコン)  
 110 第2の絶縁膜(窒化珪素)  
 111 金属膜(アルミニウム)  
 112～115 第2のゲイト配線・電極(アルミニウム)  
 116～119 陽極酸化物(酸化アルミニウム)  
 120～123 ゲイト絶縁膜

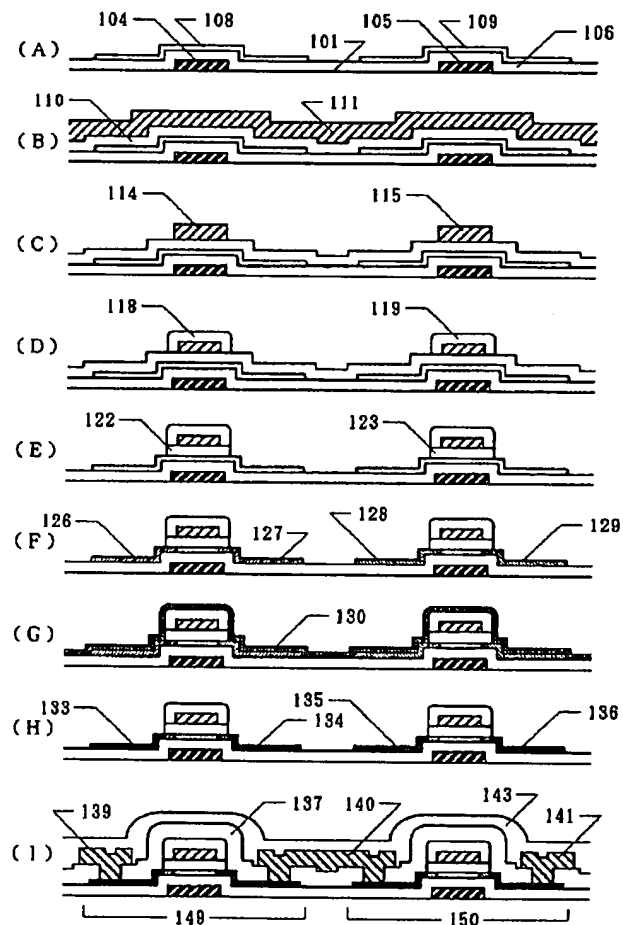
【図1】



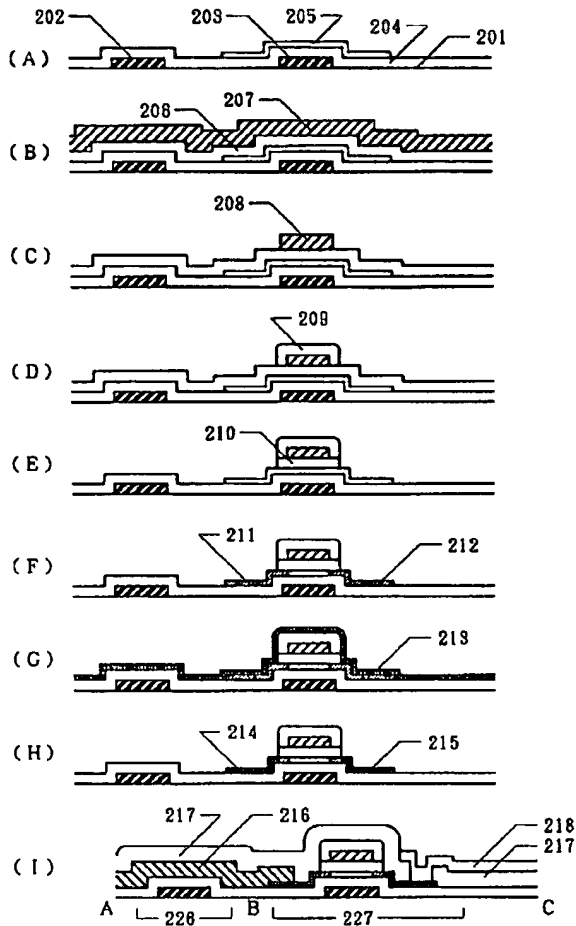
18

- 124～129 N型もしくはP型不純物領域  
 130 金属膜(チタン)  
 131～136 シリサイド領域(珪化チタン)  
 137 第1の層間絶縁物(酸化珪素)  
 138～141 金属配線(アルミニウム)  
 142 画素電極(ITO)  
 143 第2の層間絶縁物(窒化珪素)  
 144 画素開口部  
 145 第1および第2のゲイト配線のコンタクト部  
 146 補助容量様配線  
 147 ソース線とゲイト線の交差部  
 148 画素電極に設けられたTFT  
 149 周辺回路のNチャネル型TFT  
 150 周辺回路のPチャネル型TFT

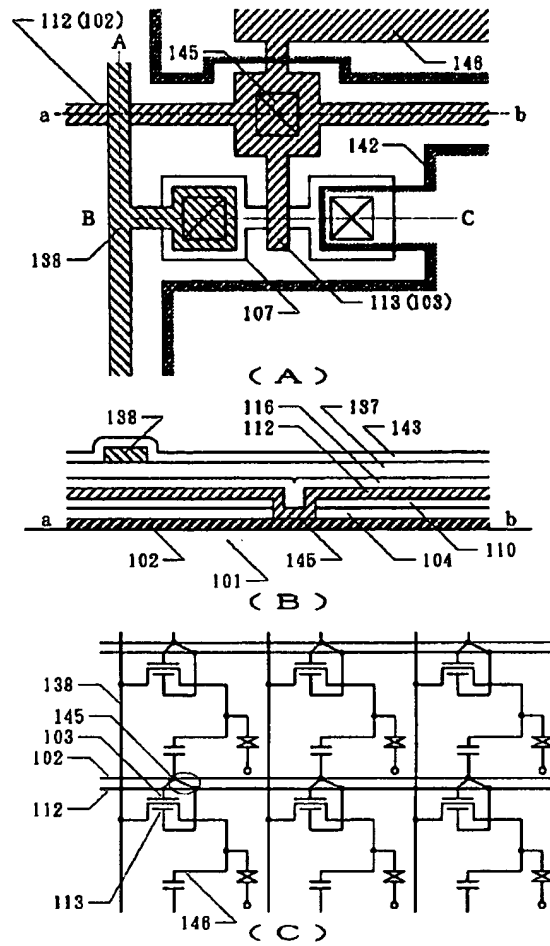
【図2】



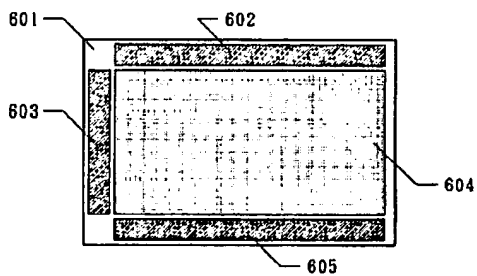
【 图3 】



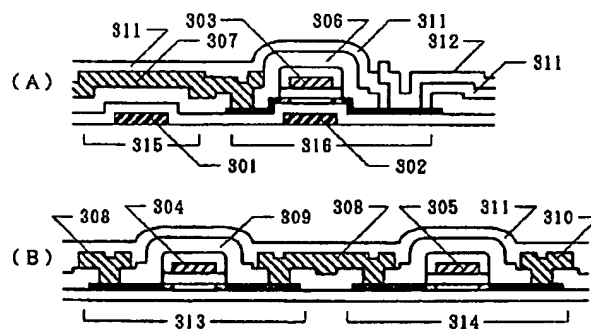
【 图4 】



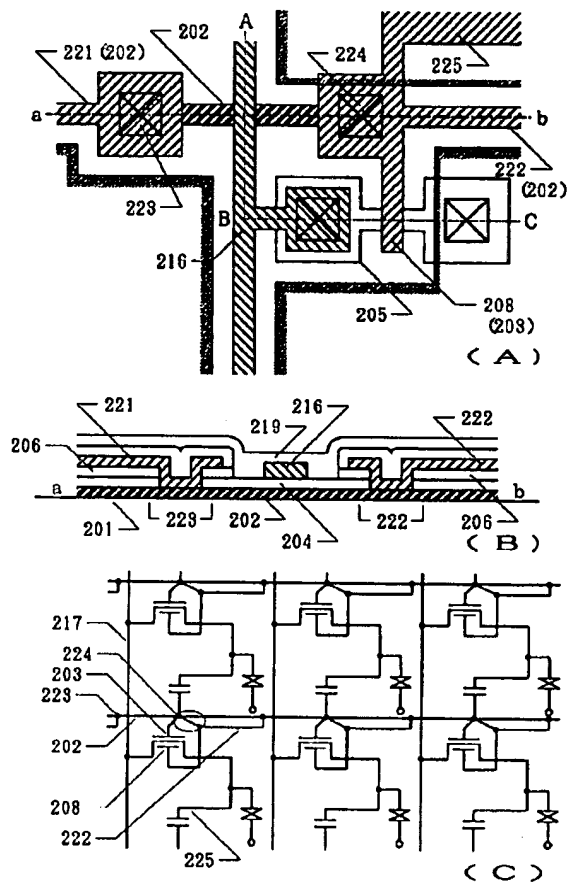
【 图6 】



【 图7 】



【 図5 】



【 図8 】

